

FPGA_IO レジスタ使用方法

本ボードは出荷時にUSBインターフェイスを使ったテスト回路が既にプログラミングされており、出力レジスタとして out_reg8、入力レジスタとして in_reg8 の2種が用意されています。パソコン側の IO_MEMORY_TEST プログラムで制御可能となります。

ここではテスト回路のこれらのレジスタの使用方法について紹介します。

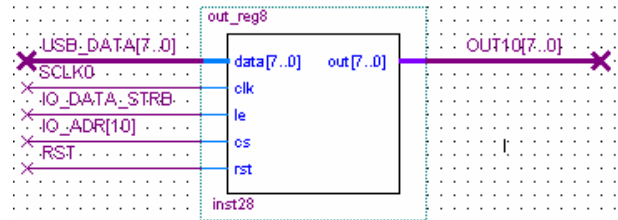
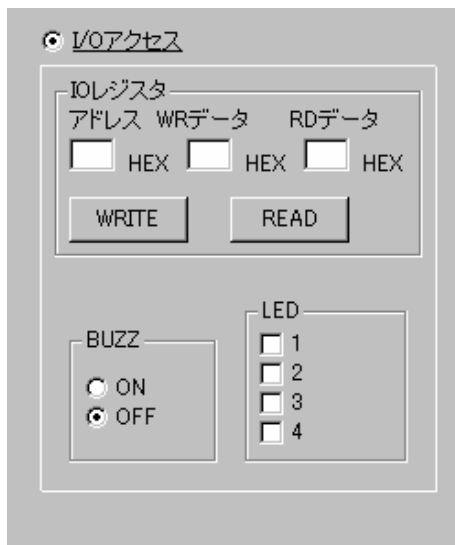
out_reg8 の使い方

QuartusII を起動させテスト回路を開きます。

out_reg8 をコピーして配置し、out_reg8 の cs 入力に decode の IO_ADR[256..0] 出力の1つを接続し、out[7..0]ピンはお客さま側で作成される回路に接続してください。その他の入力ピンはテスト回路と同じにしてください。

例) out_reg8 の cs 入力に decode の IO_ADR[10] を接続した場合、パソコン側 IO_MEMORY_TEST プログラムの I/O アクセスのアドレスに 0A、WR テータに例えば FF を記入し「WRITE」ボタンをクリックすると out_reg8 の out[7..0]ピンに FF が出力されるようになります。

IO_ADR[0]はLED、IO_ADR[1]はブザーに予約されています。



in_reg8 の使い方

QuartusII を起動させテスト回路を開きます。

in_reg8 をコピーして配置し、in_reg8 の cs 入力に decode の IO_ADR[256..0] 出力の 1 つを接続し、in [7..0]ピンはお客さま側で作成される回路に接続してください。その他の入出力ピンはテスト回路と同じにしてください。

例) in_reg8 の cs 入力に decode の IO_ADR[11]を接続した場合、パソコン側 IO_MEMORY_TEST プログラムの I/O アクセスのアドレスに 0B を記入し「READ」ボタンをクリックすることにより RD データ欄に in_reg8 の in [7..0]の内容が表示されます。

IO_ADR[2]は SW ステータスに予約されています。

